

(19)



Europäisches Patentamt

European Patent Office

Office européen des brevets



(11)

EP 0 825 540 A1

(12)

EUROPÄISCHE PATENTANMELDUNG

(43) Veröffentlichungstag:
25.02.1998 Patentblatt 1998/09

(51) Int. Cl.⁶: G06F 15/78, G06F 9/38

(21) Anmeldenummer: 97114501.6

(22) Anmeldetag: 21.08.1997

(84) Benannte Vertragsstaaten:
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC
NL PT SE
Benannte Erstreckungsstaaten:
AL LT LV RO SI

(71) Anmelder:
SIEMENS AKTIENGESELLSCHAFT
80333 München (DE)

(72) Erfinder:
Siemers, Christian, Prof.-Dr.
25746 Heide (DE)

(30) Priorität: 23.08.1996 DE 19634031

(54) Prozessor mit Pipelining-Aufbau

(57) Prozessor mit Pipelining-Aufbau, insbesondere mit superskalarer Architektur, mit einer konfigurierbaren Logikeinheit, einem Instruktionsspeicher, einer Dekodiereinheit, Interfacemitteln, einem Programmable Structure Buffer, einem Integer/Address Instruction Buffer, einer zur Verknüpfung der Inhalte des Integer-Register-Files als Functional Unit with Programmable Structures ausgeführte, multiplexgesteuerte s-Paradigmen Unit (s-Unit) mit einer Vielzahl von durch Multiplexern verbundenen Datenverbindungen, wobei diese s-Unit zur dynamischen Neukonfiguration/Programmierung während der Laufzeit des Programms mit einer programmierbaren Hardwarestruktur versehen ist, und wobei innerhalb der Functional Unit, eine Mehrzahl von Arithmetic-Units zur arithmetischen und/oder logischen Verknüpfung zweier Operanden auf zwei Eingangsbussen zu einem Ergebnis auf einem Ausgangsbuss, eine Mehrzahl von Compare-Units mit zwei Eingangsbussen und einem Ausgangsbit, eine Mehrzahl von Multiplexern mit einer Mehrzahl von Eingangsbussen und ein oder zwei Ausgangsbussen, die zwischen den Arithmetic-Units den Compare-Units und dem Register-File vorgesehen sind, sowie eine Mehrzahl von Demultiplexern mit einem Eingangsbit und einer Mehrzahl von Ausgangsbits vorhanden sind.

EP 0 825 540 A1

Beschreibung

Die Erfindung betrifft einen Prozessor mit Pipelining-Aufbau, insbesondere mit superskalärer Architektur nach dem Oberbegriff des Hauptanspruchs.

Diese Mikroarchitekturen sollen den höchsten Grad an Parallelität auf Instruktionsniveau in Mikrocomputern realisieren.

Die zentralen Recheneinheiten in Mikrocomputern bestehen hauptsächlich aus dem Prozessor, der im folgenden als einzelstehender Prozessor zu verstehen ist, z. B. als Mikroprozessor, der nicht Bestandteil eines Mikroprozessorsystems ist oder für den diese Zugehörigkeit keine Rolle im Sinne einer Instruktionsparallelität spielt.

Diese Prozessoren sind im allgemeinen nach dem von-Neumann-Modell konzipiert. Während dieses Modell für die Trennung von Code- und Datenspeicherbereich im Harvard-Modell aufgehoben wird (dort werden diese Speicher getrennt und mit verschiedenen Zugriffswegen erreicht), gelten sowohl im von-Neumann- wie im Harvard-Modell mit ihren vielen Modifikationen und Varianten die strenge Abarbeitungs- und Ergebnissequenzialität des Befehlsflusses. Ausnahmen von diesem Modell bilden die Datenflußrechner, die vom Datenfluß gesteuert arbeiten, also nicht vom Kontroll-Fluß.

Unter Beibehaltung der sequentiellen Bearbeitung des Befehlsstroms hat die Einführung sogenannter RISC-Architekturen, die zunächst nur eine Reduzierung des Instruktionssatzes zur Vereinfachung des Prozessordesigns beinhaltete, eine Heranführung der Geschwindigkeit auf einen Befehl pro Systemtakt des Prozessors erzeugt. Dies wurde durch den Ersatz eines Mikroprogramms im Prozessor durch fest verdrahtete Hardware sowie durch umfangreiche Pipelining-Maßnahmen erreicht. Trotz einer scheinbaren Parallelität innerhalb des Prozessors wurde die maximale Befehlsrate mit einer Instruktion pro Takt und die Bearbeitungs- und die Ergebnissequenzialität erhalten.

Weiter ist zum Stand der Technik die US-Patentschrift 5 361 373 zu nennen, die ein dynamisch konfigurierbares Gate-Array beschreibt, und eine Veröffentlichung 'Highperformance computing using a reconfigurable accelerator' in "CONCURRENCY: Practice and Experience, Vol. 8 (6), 429 443 (July-August 1996)". Letztere beschreibt einen reinen Coprozessor, der eine rekonfigurierbare Arithmetisch-logische Einheit (rALU) umfaßt, die zu Programmbeginn (!) komplett geladen wird, um dann besondere Schleifen eines Programms schnell abzuarbeiten. Dies erfordert einen großen Aufwand beim Compiler. Durch seine komplette Beschreibbarkeit erhält eine solche Recheneinheit wesentlich komplexere Befehle. Eine Neucompilierung ist unumgänglich.

Die Erfindung hat sich nunmehr die Aufgabe gestellt, eine höhere Parallelität bei der Verarbeitung zu erreichen, wodurch der Mikrocomputer seine Verarbei-

tungsgeschwindigkeit steigern kann.

Allerneueste Entwicklungen aus dem letzten Jahr im Sektor der Prozessoren erreichen eine Bearbeitungsgeschwindigkeit mit durchschnittlich mehr als einer Instruktion pro Takt. Diese als 'superskalär' bezeichneten Prozessoren, die sowohl als RISC wie auch als CISC-Architektur (Complex Instruction Set Computer) anzutreffen sind, bieten damit ein Maß an Geschwindigkeit, das eine sequentielle Bearbeitungsreihenfolge nicht mehr zuläßt. Durch umfangreiche Maßnahmen im inneren Aufbau der Prozessoren werden mehrere Instruktionen und die damit verbundenen Aktionen parallel zueinander ermöglicht, wobei die Ergebnisse sowie die Unterbrechungsfähigkeit im Sinne einer sequentiellen Bearbeitung sichergestellt werden.

Als Beispiel einer solchen Mikroarchitektur eines superskalären Prozessors ist die Veröffentlichung "Proceedings of the IEEE", Volume 83, Nr. 12, S. 1609, James E. Smith mit dem Titel "The Microarchitecture of Superscalar Processors" zu nennen. Diese Veröffentlichung bietet einen Überblick über das Arbeiten superskalärer Prozessoren.

Ein sich direkt daran anschließendes Paper auf S. 1625 im gleichen Heft der gleichen Zeitschrift "Compiler Technology for Future Microprocessors", Wen-Mai W. Hwu et al, beschreibt die zugehörigen Compiler-Technologien.

Allen Neuentwicklung gemein ist jedoch, daß die Ergebnissicherung, die gleichbedeutend ist mit der Einhaltung der Ergebnissequenzialität, die Erkennung und Auflösung von realen und virtuellen Störungen, sogenannten Hazards, beeinhaltet, die durch die Verarbeitungsparallelität auf Instruktionsebene entstehen. Der einzige reale Hazard besteht dabei in dem "Read-After-Write" (RAW), da ein Wert als Ausgangsbasis für eine Berechnung erst nach einem vorangegangenen Schreiben gelesen werden kann. Eine solche Sequenz kann nicht parallel zueinander bearbeitet werden, während die virtuellen Hazards "Write-After-Read" und "Write-After-Write" durch das sogenannte "Register Renaming" aufhebbar sind.

Die superskalären Prozessoren können mit Hilfe von speziell konzipierten Assemblerprogrammen sowie einer entsprechenden Compilertechnologie, die derartig optimierte Programme liefert, in bestmöglicher Ausnutzung ihrer theoretischen Performance betrieben werden.

Gelöst wird die obige Aufgabe, die maximale Befehlsrate zu erhöhen, durch einen Mikroprozessor mit den Merkmalen des Hauptanspruchs. Die Unteransprüche geben vorteilhafte Ausführungsformen wieder.

Insbesondere wird im nachfolgenden ein Mikroprozessor beschrieben, bei dem die Bemühungen der superskalären Architektur fortgeführt und durch die Einführung einer programmierbaren Struktur -auch als strukturelle Programmierung bezeichnet-so verbessert sind, daß bei Nutzung der jetzt vorhandenen Technolo-

gie eine erhebliche höhere Bearbeitungsgeschwindigkeit erzielt wird. Hierzu wird zunächst die Architektur erläutert, anschließend daraus resultierende Assembler- und Compilermaßnahmen beschrieben und anschließend wird an einigen Beispielen der Geschwindigkeitsgewinn durch die intensive Parallelität der Instruktion zueinander berechnet.

Der zweite Vorteil liegt darin, daß Read-After-Write-Hazards in geeigneter Weise aufgelöst werden können. Read-After-Write bedeutet ja, daß auf ein Ergebnis nach Berechnung zugegriffen werden muß, um den weiteren Rechenfluß aufrechtzuerhalten. Im Fall der im folgenden beschriebenen s-Paradigmen-Unit liegt dieses Ergebnis jedoch vor, bevor es gespeichert wird, und es kann innerhalb der Struktur bereits mit richtigem Wert weiterbenutzt werden. Dies ist gleichbedeutend mit dem Gewinn eines Ausführungstakts, der in der bisherigen Variante zur Speicherung durchlaufen werden müßte.

Die neuartigen strukturellen Maßnahmen in den Vordergrund stellend, wird auch von einem s-Paradigmen-Rechner gesprochen bzw. einem s-Paradigmen-Modell, nach dem der Mikroprozessor arbeitet.

Beschreibung des s-Paradigmen-Modells

Das s-Paradigmen-Modell kann grundsätzlich auf die ausführende Einheit innerhalb eines beliebigen Prozessors angewendet werden, da es sich ausschließlich in dieser Einheit von dem von-Neumann-Modell unterscheidet und der Kontrollfluß-basierte Ablauf der Befehlsholung, der gerade ein typisches Merkmal des von-Neumann-Modells ist, hiervon unberührt bleibt. Um die Leistungsfähigkeit des Modells jedoch deutlich erscheinen zu lassen, wird im folgenden ohne Beschränkung der Allgemeinheit das s-Paradigmen-Modell im Zusammenhang und im Vergleich mit einem superskalaren Prozessor herkömmlicher Bauart dargestellt. Dabei zeigt :

- Fig. 1 die typische Organisation eines üblichen superskalaren Prozessors,
- Fig. 2 die Mikroarchitektur nach der Erfindung,
- Fig. 3 eine prinzipielle Struktur einer Functional Unit,
- Fig. 4 die Struktur eines Multiplexers,
- Fig. 5 einen Vergleich zweier Codes,
- Fig. 6 eine Datenflußübersetzung für Assemblercode,
- Fig. 7 einen C-Source-Code,
- Fig. 8 einen Assemblercode in 1. Optimierung,

- Fig. 9 einen Kontrollgraph für die Assemblierung,
- Fig. 10 den Assemblercode in 2. Optimierung,
- Fig. 11 den Assemblercode in 3. Optimierung und
- Fig. 12 eine Datenflußübersetzung für den Assemblercode der Fig. 10.

Die Fig. 1 zeigt dabei den Aufbau eines superskalaren Prozessors bei bewußter Fortlassung der Floating-Point-Einheit. Die im folgenden dargestellten Eigenschaften der ausführenden Einheit für den Integer-Teil des Rechners lassen sich auf die Floating-Point-Unit 1:1 übertragen.

Innerhalb des Prozessor werden der Integer-Register-File, die Functional Units und die Re-order-and-Commit-Unit durch eine neue Einheit, die s-Unit, ersetzt. Diese Einheit wird im nachfolgenden näher erläutert. Zusätzlich werden in einigen anderen Units Veränderungen nötig, die nachfolgend ebenfalls beschrieben werden. Zunächst soll jedoch eine kurze Erläuterung der Funktionalitäten in Fig. 1 erfolgen.

Das Memory Interface 10 schafft die Verbindung zum externen Code- und Datenspeicherbereich (Hauptspeicher L-2-Cache etc. nicht dargestellt). Auf der Seite der Instruktionen werden diese in einen Instruktions-Cache 14 mit einer Vordecodierung abgelegt. Die Vordecodierung ist vorteilhaft, falls zusätzliche Informationen zur schnelleren Bearbeitung für die nachfolgenden Stufen erzeugt werden sollen, sie kann ansonsten fortgelassen werden. Die Instruktionen werden dann im Instruction-Cache 14 mit einer Vordecodierung abgelegt. Die Vordecodierung ist vorteilhaft, falls zusätzliche Informationen zur schnelleren Bearbeitung für die nachfolgenden Stufen erzeugt werden sollen; sie kann ansonsten fortgelassen werden. Die Instruktionen werden dann im Instruction-Cache 14 als unmittelbaren Speicher vor der Bearbeitung und/oder im Instruction-Buffer 16 gespeichert, womit im letzteren Fall sie bereits in der Bearbeitung befindlich sind. Fig. 1 entspricht also dem Stand der Technik.

Die darauf folgende 'Decode, Rename & Dispatch Unit' 18 verteilt innerhalb einer superskalaren Architektur die Befehle auf mehrere ausführende Teileinheiten in einer Functional Unit 22 und ordnet Register aus dem Integer-Register-File 24 zu. Diese Zuordnung muß aufgrund des Register Renaming erfolgen, um virtuelle Hazards zu vermeiden. Die Functional Units 22 arbeiten ggf. eng mit einem Data-Cache zusammen, um die nötigen Operanden laden zu können. Nach der parallelen Ausführung mehrerer Instruktionen müssen die Ergebnisse, in den Registern stehend, neu geordnet oder insbesondere als gültig gekennzeichnet werden (Re-order-and-Commit-Unit).

Abschließend sollte zu dem Modell noch erwähnt werden, daß die Behandlung von bedingten und unbedingten Verzweigungen (Conditional and Non-Condition-

nal Branches) außerhalb des hier dargestellten Teils abläuft. Hierzu werden Maßnahmen z. B. 'Branch Prediction' (Vorhersage) mit einer probeweisen Ausführung vorgesehen, die bei Nichterfüllung zu Verzögerungen führen.

Die in der Fig. 1 grau hinterlegten, jedoch im Stand der Technik auf diese Art und Weise vorgesehenen Blöcke werden nun, wie in der Fig. 2 dargestellt, nach der Erfindung entsprechend anders aufgebaut.

Wie dargestellt, werden eine Programmable Structure Buffer 30, ein Integer/Address Instruction Buffer 32 und eine Einheit mit Functional Units with Programmable Structure 34 neben dem Integer Register File 24 vorgesehen.

Das s-Paradigmen-Modell kennt dabei vier Klassen von Maschinenbefehlen:

- Branch- und Jump-Befehle zur Kontrollflußsteuerung,
- Load-/Store-Befehle zum Datentransfer zwischen Registern und Speicherbereich,
- Arithmetische und logische Befehle zur Berechnung, und
- sonstige Befehle wie No Operation, Wait, Stop, etc., die im weitesten Sinne auch der Kontrollflußsteuerung dienen.

Während die Befehlsklassen zur Kontrollflußsteuerung wie bisher belassen und damit entsprechend dem Standard in superskalaren Rechnern ausgeführt werden, nehmen die Load/Store-Befehle und die arithmetisch/logischen Befehle eine neue Stellung ein.

Load/Store-Befehle werden entweder mit Hilfe einer oder mehrerer Load/Store-Pipeline(s) zum Datentransfer zwischen dem Integer Register File 24 und dem Datenspeicher (Cache 36, Hauptspeicher) eingesetzt und dann auch wie bisher bearbeitet oder sie werden zu den arithmetisch/logischen Befehlen hinzugefügt und in das nun beschriebene Kernstück des s-Paradigmen-Modells integriert. Die Entscheidung hierüber obliegt dem Systemdesigner der CPU. Move-Befehle hingegen, die einen Datentransfer zwischen den Registern des Prozessors bewirken, gehören grundsätzlich zu diesem Modell.

Die arithmetisch/logischen Befehle (und die hinzugeführten Load/Store-Befehle) werden ihrer Programmiersequenz zufolge in eine Struktur von aufeinanderfolgenden Hardwareverknüpfungen übersetzt. Zu diesem Zweck bietet die Functional Unit im erfindungsgemäßen Mikrocomputer eine programmierbare Struktur und feste verdrahtete arithmetisch/logische Verknüpfungen (sowie ggf. Zugriffsfunktionen wie Load/Store-Pipelines) an, die durch die Struktur miteinander verknüpft werden können und in der Reihenfolge der Strukturierung bearbeitet werden.

Die entsprechende Funktionalität wird in der Fig. 3 erläutert. Dort werden die Teileinheiten der Functional Unit 22 und das Register File 24 (in der Fig. 3 grau hinterlegt) durch eine Vielzahl von Datenverbindungen und Multiplexern 40 verbunden. Die Datenverbindungen sind dabei als Busse mit der jeweiligen internen Datenbusbreite ausgeführt (z. B. 32 Bit), eine Ausnahme bilden die Condition Codes, die als Bit-Leitungen (gepunktet gezeichnet) implementiert sind. Innerhalb der Functional Unit existieren fünf Typen von Teileinheiten:

- Die Arithmetic Unit (AU, Typ A) 50; 51, die nicht mit der herkömmlichen Arithmetical Logical Unit (ALU) verwechselt werden sollte. Die AU 50; 51 enthält eine oder wenige, dann konfigurierbare Verknüpfungen, beispielsweise die Möglichkeit, zwei Integerzahlen zu addieren. Sie liefert ein Ergebnis an ihrem Ausgang, wenn die Eingänge entsprechend beschaltet werden und dieses Ergebnis kann innerhalb des Schaltnetzes weiter verwendet werden. Die AU 50; 51 ist gekennzeichnet durch zwei Eingangsbusse und einen Ausgangsbuss, ggf. durch eine Konfigurationsmöglichkeit (Auswahl der Verknüpfung, im Extremfall entsprechend einer ALU) und durch Konditionalbits. In einigen Fällen, beispielsweise bei der Multiplikation kann die Breite des Ausgangsbusses abweichen, um die Berechnungen zu ermöglichen.
- Eine Compare Unit (CoU, Typ B) 52, die ebenfalls einem Multiplexer nachgeschaltet ist. Für die bedingte Ausführung der Verknüpfung werden hier Condition Code Bits durch einen konfigurierbaren Vergleich in der CoU 52 erzeugt. Der Vergleich läßt sich bei Verwendung von drei Konfigurationsbits auf >, >=, <, <=, !=, ==, TRUE oder FALSE einstellen. Kennzeichen der CoU sind zwei Eingangsbusse und ein Ausgangsbit sowie die Konfigurierbarkeit.
- Multiplexer (MulC, Typ C) 40, belegen die Eingänge der AUs und der CoUs mit jeweils zwei Eingangswerten in der vollen Verarbeitungsbreite. Hierfür benötigen Sie eine Anzahl von Konfigurationsbits, die sich aus der Anzahl von Eingängen und den zwei Ausgängen ergeben. Kennzeichen für MulC-Einheiten sind zwei Ausgangsbusse.
- Weiter sind Multiplexer (MulD, Typ D) 58 zu nennen, die vor dem Registerfile 24 vorgesehen sind. Für die Belegung der Register mit den Ergebnissen wird lediglich ein Ausgangsbuss und damit auch nur die Hälfte der Konfigurationsbits benötigt. Ein MulD unterscheidet sich daher vom MulC durch die Anzahl seiner Ausgangsleitungen.
- Letzlich sind noch die Demultiplexer (Demul, Typ E) 46 zu nennen, die die Ergebnisse der Vergleiche

(CoU) an entsprechende AU's weiterleiten. Im Gegensatz zu den Multiplexern 58, die eine Quellenauswahl vornehmen, liegt hier eine Zielauswahl vor.

Die Verbindungen zwischen den Teileinheiten können komplett oder teilweise ausgeführt sein, abhängig von der Anzahl der zur Verfügung stehenden Konfigurationsbits in der Gesamtheit. In einer Beispielarchitektur im nächsten Abschnitt wird eine vollständige Verbindbarkeit gezeigt sowie die Zahl der notwendigen Bits daraus berechnet.

Der Sinn der strukturierbaren Functional Unit, nach der Erfindung liegt nun darin, die Struktur entsprechend den Maschinenbefehlen in einem (Basis- oder Super) Block eines Programms anzupassen. Derartige Blöcke sind dadurch gekennzeichnet, daß sie ohne (Basisblock) bzw. nur mit selten genutzten (Superblock) Verzweigungen (Branch-Befehle) auskommen, also im Kontrollfluß deterministisch oder wenigstens mit hoher Wahrscheinlichkeit bestimmbar sind. Auf die Problematik dieser Blocks und ihre Auswirkungen auf Assembler- und Compilertechnologie wird in übernächsten Abschnitt "Konsequenzen ..." näher eingegangen.

Die Programmierung erfolgt im s-Paradigmenmodell durch das Laden von Konfigurationsbits für die Teileinheiten. Diese werden im Programmable Structure Buffer zwischengespeichert und bei Bearbeitung des Blocks in die s-Unit S geladen, die dadurch entsprechend strukturiert ist und den Block bearbeiten kann. Die Bearbeitung bezieht sich dabei lediglich auf die arithmetische und logischen Verknüpfungen zwischen Registerinhalten, ggf. auch mit Speicherinhalten (falls eine entsprechende Load/Store-Pipeline zur Verfügung steht), während alle anderen Befehle, insbesondere Load/Store und Kontrollflußbefehle wie üblich ablaufen.

Die Generierung der Konfigurationsbits kann entweder im Assembler erfolgen (Compiletime basierte Generierung), es ist aber auch prinzipiell möglich, sie in der CPU, etwa durch einen funktionell erweiterten Programmable Structure Buffer zur Laufzeit erzeugen zu lassen (Runtime-basierte Generierung).

Realisierungsformen der Execute-Einheit des erfindungsgemäßen Mikrocomputers

Die Struktur der s-Unit S mit festverdrahteten AU's 50; 51 sowie CoUs 52 und konfigurierbaren Wegen zwischen diesen Teileinheiten legt zunächst fest, daß die Multiplexer das programmierbare Element dieser Konfiguration darstellt. Die feste Verdrahtung insbesondere der AU's 50; 51 wurde gewählt, um die Anzahl der zu ladenden Bits möglichst gering zu halten. In einer weiteren Stufe der Flexibilisierung könnten auch die AU's 50; 51 programmierbar sein, d. h. auf einfachen Strukturen wie NAND-Gattern oder Disjunktiven Normalformen (DNF) aufbauend realisiert sein. Damit wäre eine nahezu beliebige Funktionalität bereits in einer AU 50;

51 integrierbar.

Arithmetic Units 50; 51 beinhalten beispielsweise folgende Funktionalitäten:

- 5 - Arithmetische Verknüpfungen wie Addition, Subtraktion, Multiplikation, Division,
- Logische Verknüpfungen wie AND, OR, XOR, NOT, Komplement (Zweier-),
- 10 - Shift-Funktionen wie arithmetische oder logische Shifts nach rechts/links,
- Bedingte Datentransfers, abhängig von Eingangsbits (2 Wege-Multiplexer, im Unterschied zu den MulC und MulD-Teileinheiten zur Laufzeit umschaltbar).

Die Basis für die Programmierung der Struktur, also der beiden Multiplexertypen, besteht in RAM-Zellen. Hiermit ist eine sehr schnelle Konfigurierung gewährleistet, während andere Technologien wie EEPROM längere Zeit benötigen und eher für den Einsatz von programmierbaren AU's denkbar wären. Mit Hilfe von n Bits können dann 2^n Wege geschaltet werden, so daß für einen MulC bei 32 Eingängen 2×5 Bits, für einen MulD 5 Bits zur Konfigurierung notwendig wären. Die prinzipielle Struktur dieser Multiplexer ist in der Fig. 4 dargestellt.

30 In einer möglichen konkreten Modellarchitektur sind dann folgende Teileinheiten und Register implementiert:

- vier Addierer (AU), bei denen durch ein Condition Code-Bit die Addition durchgeführt wird (TRUE) oder das erste Wort unverändert durchgelassen wird (FALSE),
- eine logische Einheit mit AND, OR, XOR und Zweier-Komplementbildung, konfigurierbar durch 2 Bits (AU),
- 40 - ein Multiplizierer (AU),
- ein Dividierer (AU),
- eine Shift-Funktionseinheit (AU), die mit Hilfe von zwei Bits auf links/rechts und arithmetisch/logisch konfiguriert wird,
- 45 - zwei dynamische Pfad-Multiplexer, die durch ein Bit im Steuereingang einen der beiden Eingangsbusse am Ausgang anliegen lassen (AU). Diese Multiplexer sollten nicht mit den Multiplexer Typ C oder D verwechselt werden, da die hier vorgeschlagene Teileinheit die Auswahl dynamisch schaltet,
- sechs Vergleichseinheiten mit je einem Bitausgang konfigurierbar über drei Bits auf acht Vergleichsarten (CoU) 52,
- 50 - zwölf logische Register R0 bis R11, die in einem Pool von beispielsweise 24 physikalischen Registern per Register Renaming identifiziert werden,
- vier Konstantenregister C0 bis C3, in denen die im

Instructioncode codierten Konstanten während der Bearbeitung eines Blocks gespeichert werden.

Dies ergibt eine Gesamtheit von 32 zu verbindenden Teilen innerhalb der s-Unit S. Wird eine vollständige Verbindbarkeit gefordert, müssen die Multiplexer im wesentlichen mit fünf bzw. 2×5 Bits konfiguriert werden. Zur Verbindung aller Einheiten werden 10 Multiplexer Typ C, 12 vom Typ D und 6 Demultiplexer vom Typ E benötigt. Da angenommen wird, daß die Konditionierung durch Vergleichsoperationen sich nur auf AUs bezieht, benötigen die Demultiplexer nur drei Bits zur Konfiguration. Damit ergibt sich die Gesamtzahl der Konfigurationsbits (für Multiplexer und konfigurierbare AUs) zu 200 Bits.

Das Modell kann zudem auf die Behandlung von Flags ausgedehnt werden, dies ist durch gesonderte AUs mit Auswerteeigenschaften möglich. Um einen Überlauf bei arithmetischen Operationen zu verhindern bzw. zu detektieren, sind genügend dimensionierte Datenbusse und entsprechende Auswerteeinheiten notwendig, die aus Übersichtsgründen fortgelassen werden.

Konsequenzen des s-Paradigmen-Modells für Maschinenbefehle, Assemblerprogrammierung und Compilerbau

Der erfindungsgemäße Mikrocomputer arbeitet sehr ähnlich zu superskalaren Architekturen, die auf der parallelen Instantiierung von ALUs basieren. Wichtig für die optimale Ausnutzung dieser Architektur ist die möglichst große Blockbildung im Rahmen der Assemblercodierung.

Hier wird als Basisblock eine Folge von Instruktionen verstanden, die keine Verzweigung durch beispielsweise einen bedingten Branchbefehl beinhalten. Derartige Basisblöcke sind bei herkömmlichen Compilertechnologien eher relativ kurz, so daß die Ausnutzung der internen Parallelität gering bleibt.

Derzeit sind mehrere Compilerstrategien in der Entwicklung, wie die obengenannte Veröffentlichung Smith zeigt, die eine verbesserte Nutzung versprechen. Eine Methodik besteht in der Generierung von Superblocks, die im Regelfall einer Schleife durchlaufen werden und die im Zusammenhang mit dieser Arbeit ebenfalls als geeignete Blocks angesehen werden. Wesentlich interessanter ist die Einführung von konditionierten Befehlen, die anhand eines Entscheidungsbits ausgeführt oder übersprungen werden. Dieses Entscheidungsbit kann durch Vergleiche entstehen und ist dann kontrollflußbestimmend, also auch unter Randbedingungen Branch ersetzend wirksam.

Ein Beispiel zum Einsatz solcher konditionierten Befehlsausführungen, die "predicated execution" kann durch die in der Fig. 5 dargestellte Sequenz in C und Assembler (Befehlsbedeutung vergl. Anhang A) gegeben werden.

Dieses Beispiel wird für eine Pseudo-CPU gezeigt, die in herkömmlicher Weise bei relativ optimaler Ausnutzung von Registern eine bedingte Wertzuweisung übersetzt. Der hierbei auftretende Sprungbefehl `ble` (branch if less or equal) bedeutet jedoch ggf. eine Verzweigung im Kontrollfluß, was bei der Implementierung und Nutzung bedingter Befehlsausführung nicht notwendig ist. Hier wird ein Bit im Register `p1` gesetzt, falls `r0 > 0` gilt, ansonsten gelöscht und die bedingten `movp`-Befehle beziehen sich auf `p1` und schließen sich gegenseitig aus, so daß dies gut in nebenläufige Hardware umzusetzen ist, bei der nur ein Pfad aktiv sein darf.

Das kurze Beispiel kann dabei keineswegs als Beweis für die Beschleunigung durch konditionierte Befehle gesehen werden; umfangreiche Arbeiten wie die von Smith (o.a.) haben jedoch ergeben, daß diese Maschinenbefehle sich außerordentlich günstig für den Fluß innerhalb einer Execute-Einheit von super skalaren Mikroprozessoren auswirken. Die Umsetzung in Hardware kann durch die dynamischen Multiplexer in Verbindung mit den Vergleichen erfolgen, wie in Fig. 6 anhand der Datenflußübersetzung für Assemblercode dargestellt ist.

Die Übersetzung erfolgt durch Zuordnung eines Vergleichers 60, der für "größer-als" konditioniert ist, und eines dynamischen Multiplexers 62, der die Auswahl aus den beiden einfließenden Datenströmen anhand des Vergleichsbild vornimmt, zu diesem Ausführungsblock. Die Load/Store-Befehle verbleiben in der bisherigen Form und sind nicht dargestellt. Zusätzlich muß das Register `C0` (für Konstanten) mit dem Vergleichswert, hier "0" geladen werden.

Für den Maschinenbefehlssatz des erfindungsgemäßen Mikrocomputers sind dann zusätzlich folgende Befehle angenommen:

PEQ (Dest), (Source), (Zielbit) (Gleichheit)
PNE (Dest), (Source), (Zielbit) (Ungleichheit)
PGE (Dest), (Source), (Zielbit) (größer oder gleich)
PGT (Dest), (Source), (Zielbit) (größer als)
PLE (Dest), (Source), (Zielbit) (kleiner oder gl.)
PLT (Dest), (Source), (Zielbit) (kleiner als)

Eine Erweiterung dieses Befehlssatzes für Setzen von Konditionsbits ist natürlich denkbar. Daneben müssen diese Konditionsbits auswertbar sein, was durch die Einführung von bedingten Verschiebe- und arithmetisch/logischen Befehlen erfolgen kann. Im folgenden wird für die Modellarchitektur des erfindungsgemäßen Mikrocomputers daher vorausgesetzt, daß alle Verschiebebefehle mit einer Kondition belegbar sind (`movp`) und daß die arithmetisch/logischen Befehle so ausgeführt werden, daß der 1. Verknüpfungsoperand durchgelassen wird, falls die Bedingung nicht erfüllt ist. Im Fall der

`addp (Ziel), (Operand_1), (Operand_2),`

(Prediction-bit)

Verknüpfung wird also (Operand_1) in das Zielregister geladen, falls das (Prediction_bit) gelöscht ist, ansonsten die Summe von (Operand_1) und (Operand_2).

Die weiteren Methoden zur Steigerung des Durchsatzes in dem erfindungsgemäßen Mikrocomputer entsprechen denen für super skalare Mikroprozessoren. Hierzu zählen bezüglich der Programmierung in Assembler bzw. C (als Beispiel für eine Hochsprache):

- Nutzung der bedingten Ausführung von Befehlen zur Schaffung von größeren Blöcken ohne Kontrollflußstrukturen,
- Unrolling von Schleifen bis zum Maximum der Ressourcen,
- Abhängigkeitsanalyse und Beseitigung von Abhängigkeiten durch (Compile-Time-) Register Renaming.

Nachdem dies zu einem Optimum für eine superskalare Architektur geführt wurde, werden die vorhandenen Blöcke erneut analysiert und in die strukturelle Programmierung übersetzt. Diese Übersetzung kann zur Compilezeit erfolgen, wobei der Vorteil in der intensiven Analyse ohne Benutzung von Silizium im Zielsystem zu sehen ist. Die strukturelle Programmierung wird dabei durch die vorhandene Abhängigkeitsanalyse und vor allem die Beseitigung erheblich unterstützt, so daß die Befehle in Datenflüsse und damit in die Struktur umsetzbar sind. Diese Struktur besitzt dann keine Zyklen oder Rückkopplungen, die für die Hardwarestrukturierung bei asynchronem Design unbrauchbar wäre.

Der Performancegewinn ergibt sich aus der Ausnutzung zweier Vorteile gegenüber einer "klassischen" Architektur eines superskalaren Mikroprozessors. Die ALU, die innerhalb der bisherigen Architektur vervielfacht wird, wird nunmehr aufgespalten, so daß die Einzelteile unabhängig voneinander nutzbar sind. Unter der Annahme, daß die Laufzeit innerhalb der programmierbaren Struktur so klein bleibt, daß die Ergebnisse unabhängig von dem Datenflußweg innerhalb eines Takts vorliegen, ergibt dies eine im Schnitt bessere Ausnutzung und kleinere Ausführungszeiten.

Die Steuerung bzw. Bestimmung der Ausführungszeit innerhalb der s-Unit nimmt jedoch einen zentralen Punkt in der Hardwareimplementierung ein. Folgende Verfahren bieten sich hierzu an:

- Die struktural programmierbare wird so konzipiert und mit dem maximal zulässigen Takt abgestimmt, daß die Laufzeit innerhalb der s-Unit für jeden Fall so dimensioniert ist, daß das Ergebnis nach einem Takt in den Registern speicherbar ist.
- Die Hardware, die in jedem Fall asynchron miteinander

ander verknüpft ist (eine Synchronisierung erfolgt in jedem Fall erst bei den Registern, weshalb auch eine Abhängigkeitsbeseitigung notwendig ist), liefert beim Durchlauf ein Ready-Signal mit, das die Übernahme in die Register steuert. Diese Form läßt ggf. höhere Taktraten zu, wobei z. B. im Regelfall ein Takt zum Durchlauf benötigt wird und in Ausnahmefällen zwei Takte.

Weiter soll im folgenden ein Beispielprogramm analysiert, übersetzt und für eine superskalare Architektur optimiert werden. Die Geschwindigkeiten im Ablauf dieses Maschinenprogramms werden dann im Vergleich zum erfindungsgemäßen Mikrocomputer dargestellt. Dieses Beispiel stammt aus der oben genannten Veröffentlichung von J. Smith, um die Ergebnisse entsprechend vergleichbar gestalten zu können.

Beispielprogramm

Das Zusammenwirken von Compilertechnologie und Möglichkeiten zur Parallelisierung durch die strukturelle Programmierung der Hardware können an einer einfachen C-Schleife demonstriert werden. Für die Codegenerierung wird dabei einerseits ein superskalarer Mikroprozessor zugrundegelegt, der mindestens 12 Register, bedingte Anweisungen und zwei nebenläufige ALUs, beide ausgestattet mit allen Fähigkeiten, besitzt, andererseits wird das oben vorgestellte Modell einer s-Unit genutzt. Bei diesem Vorgang werden folgende Schritte durchlaufen:

1. Der C-Sourcecode wird mit Hilfe eines Compilers, der für nichtsuperskalare Architekturen optimiert, übersetzt.
2. Die Blockgröße wird durch den Ersatz von bedingten Sprüngen durch bedingte Anweisungen erhöht.
3. Je zwei Schleifen werden zu einer größeren Schleife zusammengefaßt (Loop Unrolling).
4. Für die gewonnene Schleife wird ein (Compile Time) Register Renaming mit Hilfe einer Abhängigkeitsanalyse durchgeführt.

Für alle Stufen der Optimierung wird der Grad der Parallelisierung bzw. die Anzahl der benötigten Takte angegeben, für die höchste Stufe im Vergleich zwischen einer superskalaren Architektur bisheriger Bauart und einem erfindungsgemäßen Mikrocomputer.

In der Fig. 7 ist der C-Sourcecode dargestellt. Das Programm besteht in einer Zuweisungsschleife an ein Array b[] in Abhängigkeit eines Arrays a[], wobei hier besonders die Read-After-Write-Abhängigkeiten zu analysieren sind.

Das Interessante an diesem Code ist die Reihenfolge der Adressen, auf die jeweils zugegriffen wird, da die Zuweisung in einem Teil der Schleife b[i] + b[i+1] lautet und somit das zweite Element des 1. Zugriffs

gleich dem ersten Element der zweiten Schleife ist. Die Übersetzung des C-Sourcecodes mit einem optimierenden Compiler, ausgelegt für traditionelle Architekturen, ergibt dann das in der Fig. 8 dargestellte Assemblerlisting.

Der Kontrollflußgraph, wie er in der Fig. 9 dargestellt ist, zeigt die Wege, auf denen dieser Code durchlaufen wird. Der Compiler selbst hat den Assemblercode so optimiert, daß einige Basisblocks entstehen (in Abb. 8 durch Linien getrennt). Die aufeinanderfolgenden Instruktionen 1 und 2 bedeuten beispielsweise, daß hier ein Read-After-Write-Hazard vorliegt: r1 wird zuerst beschrieben und dann erst danach zum Vergleich mit 0 gelesen werden. Die Abhängigkeit bewirkt, daß keine parallele Ausführung möglich ist. Die Spalte für den aktuellen Zyklus bezieht sich auf eine superskalare Architektur, die prinzipiell parallele Aktionen durchführen kann. Die Berechnung einer Schleife dauert im Maximalfall 6 Zyklen (bei angenommenen 2 Zyklen für einen Datentransfer zum Hauptspeicher), so daß für den then-Part bei 9 durchlaufenen Instruktionen 1,5 Instr./Zyklus ausgeführt werden.

Durch eine 1:1-Kopie des Blocks L4 für den else-Part, eine Veränderung der Reihenfolge der Anweisungen und den Ersatz der bedingten Verzweigung durch die bedingte Ausführung der Speicherbefehle kann eine Vergrößerung des Basisblocks erreicht werden. Das zugehörige Assemblerlisting (Fig. 10) zeigt eine Beschleunigung einer Schleife auf 4 Zyklen (bei der Annahme, daß die letzte Verzweigung richtig vorhergesagt wird).

Der Durchsatz pro Schleife vergrößert sich für eine superskalare Architektur durch diese Maßnahmen auf 2 Instr./Takt. Nimmt man nun an daß die s-Paradigmen-Unit S ein beliebiges Schaltnetz in einem Takt bearbeiten kann, dann benötigt die Implementierung im erfindungsgemäßen Mikrocomputer hingegen für alle Berechnungen einschließlich der bedingten Wertzuweisung einen Takt, der Durchlauf pro Schleife verkürzt sich auf 3 Takte, der Durchsatz beträgt 2,66 Instr./Takt.

Die Fig. 11 zeigt die Struktur einer S-Unit S. Die Load/Store-Befehle, die der Kommunikation mit dem externen Speicher dienen, müssen ebenfalls arithmetische Berechnung für die effektive Adresse vornehmen. Diese sind hier nicht gezeichnet, obwohl prinzipiell auch Addierer aus der S-Unit für die Adressenaddition nutzbar wären.

Die letzte Stufe der hier gezeigten Optimierungen behandelt die Verbesserung der Performance durch ein Zusammenfassen zweier Schleifendurchläufe zu einem (Loop Unrolling) mit nachfolgender Abhängigkeitsanalyse und -behebung. Diese Optimierung steigert den Durchsatz, falls eine unabhängige, parallele Bearbeitung beider Teilschleifen möglich ist. Daher verwendet diese Methode zur Beseitigung von Abhängigkeiten ein Compile-Time Register Renaming.

In der Fig. 12 ist das Ergebnis nach der Optimie-

rung [1] dargestellt.

Durch die parallele Bearbeitung zweier Schleifen sinkt die Bearbeitungszeit auf durchschnittlich 2 Takte pro (ehemaliger) einfacher Schleife, wobei als Parallelisierungsmaß nunmehr 3,75 Instr./Takt ausgeführt werden. Dies gilt für die superskalare Architektur, während der erfindungsgemäße Mikrocomputer im konkreten Modell des Abschnitts (oben unter der Überschrift Realisierungsform der Execute-Einheit des erfindungsgemäßen Mikrocomputers beschrieben) eine weitere Steigerung vorgebracht wird.

Abgesehen von den Adreßberechnungen werden vier Additionen in einer Doppelschleife sowie zwei bedingte Zuweisungen gefordert. Diese Ressourcen sind im Modell vorhanden, das seinerseits mit Additionskapazitäten speziell für Schleifendurchführungen ausgestattet wurde. Damit läßt sich der gesamte Block der Additionen und Wertzuweisungen in einem Takt ausführen, wiederum unter Annahme, daß das Schaltnetz dies stabil während des Takts durchlaufen läßt. Die durchschnittliche Bearbeitungszeit pro einfacher Schleife liegt dann bei 3 Takten, dies ergibt eine Rate von 5 Instr./Takt.

Insgesamt ist damit erstmalig die strukturelle Programmierung in das zentrale Bearbeitungselement der prozeduralen Programme, die CPU eingeführt. Unter Beschränkung auf eine Neukonzeption der ausführenden Einheit wurde ein konkretes Modell mit beschränkten Ressourcen entworfen, wobei gezeigt wurde, daß dieses Modell im Vergleich zu bisherigen superskalaren Architekturen eine deutlich verbesserte Performance bietet. Die Bearbeitungszeiten wurden in den Beispielen um 25 33 % verkürzt.

Patentansprüche

1. Prozessor mit Pipelining-Aufbau, insbesondere mit superskalarer Architektur mit einer konfigurierbaren Logikeinheit, einem Instruktionsspeicher (16), einer Dekodiereinheit (18) und Interfacemitteln (10, 36), gekennzeichnet durch

- einen als Logikeinheit wirkenden Programmable Structure Buffer (30),
- einen Integer/Address Instruction Buffer (32),
- einem Integer-Register-File (24) zur direkten Kommunikation mit datenspeichernden Interfacemitteln (36),
- eine zur Verknüpfung der Inhalte des Integer-Register-Files (24) mit einer 'Functional Unit with Programmable Structures' (34) ausgeführte, multiplexgesteuerte s-Paradigmen Unit (s-Unit) (30, 34, 32, 24) mit einer Vielzahl von durch Multiplexern verbundenen Datenverbindungen,

wobei die s-Unit (30, 34, 32, 24) zur dynamischen Neukonfiguration/Programmierung während der Laufzeit des Programms mit einer programmierbaren Hardwarestruktur versehen ist, und wobei innerhalb der Functional Unit (34),

5

- eine Mehrzahl von Arithmetic-Units (50) zur arithmetischen und/oder logischen Verknüpfung zweier Operanden auf zwei Eingangsbussen zu einem Ergebnis auf einem Ausgangsbus, 10
- eine Mehrzahl von Compare-Units (52) mit zwei Eingangsbussen und einem Ausgangsbit, 15
- eine Mehrzahl von Multiplexern (40, 58) mit einer Mehrzahl von Eingangsbussen und ein oder zwei Ausgangsbussen, die zwischen den Arithmetic-Units (50) den Compare-Units (52) und dem Register-File (24) vorgesehen sind, 20 sowie
- eine Mehrzahl von Demultiplexern (46) mit einem Eingangsbit und einer Mehrzahl von Ausgangsbits vorhanden sind, zur Lieferung des Ergebnisses der Vergleiche (CoU) in einer Zielauswahl an entsprechende Arithmetic-Units (50) innerhalb der s-Unit. 25

2. Prozessor nach Anspruch 1, 30
gekennzeichnet durch
ein Floating Point Register File mit entsprechenden Verknüpfungen als oder zusätzlich zum Integer Register File (24). 35

3. Prozessor nach einem der vorangehenden Ansprüche, 40
dadurch gekennzeichnet, daß
die Arithmetic Units und Compare Units während des Programmlaufs dynamisch für jeweils einen Block von Befehlen in ihrer Funktionalität konfigurierbar und programmierbar sind. 45

4. Verfahren zur Hochgeschwindigkeitsrechnung mit Pipelining-Prozessoren nach einem der vorangehenden Ansprüche, 50
dadurch gekennzeichnet, daß

- in einer S-Unit nach möglichst großer Blockbildung im Rahmen der Assemblercodierung und Einführung von konditionierten Befehlen, die anhand von 'Entscheidungs'-bits ausgeführt oder übersprungen werden, 55
- die Konfigurationsbits für die Teileinheiten in einem 'Programmable Structure Buffer' zwischengespeichert werden, und bei Bearbeitung des Blocks in die s-Unit geladen werden, 55

wobei die Entscheidungsbits durch Vergleiche kontrollflußbestimmend festgelegt werden, so daß bei dynamischen Multiplexern (einem Untertyp der Arithmetischen Units) in Verbindung mit den Vergleichen eine optimale Datenflußübersetzung erzeugt wird.

FIG 1

Typische Organisation eines superskalaren Prozessors

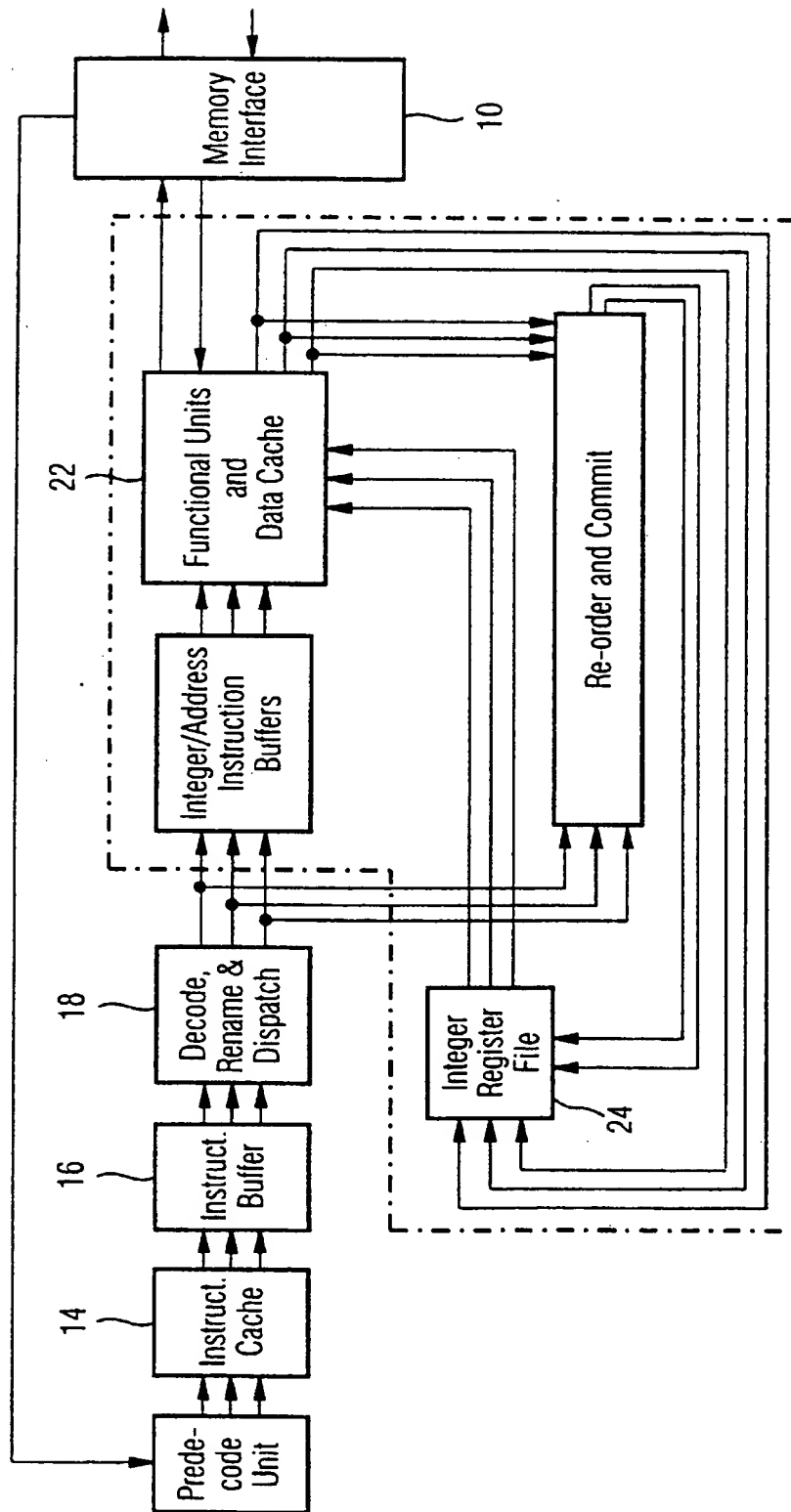


FIG 2

Mikroarchitektur des s-Paradigmen-Modells

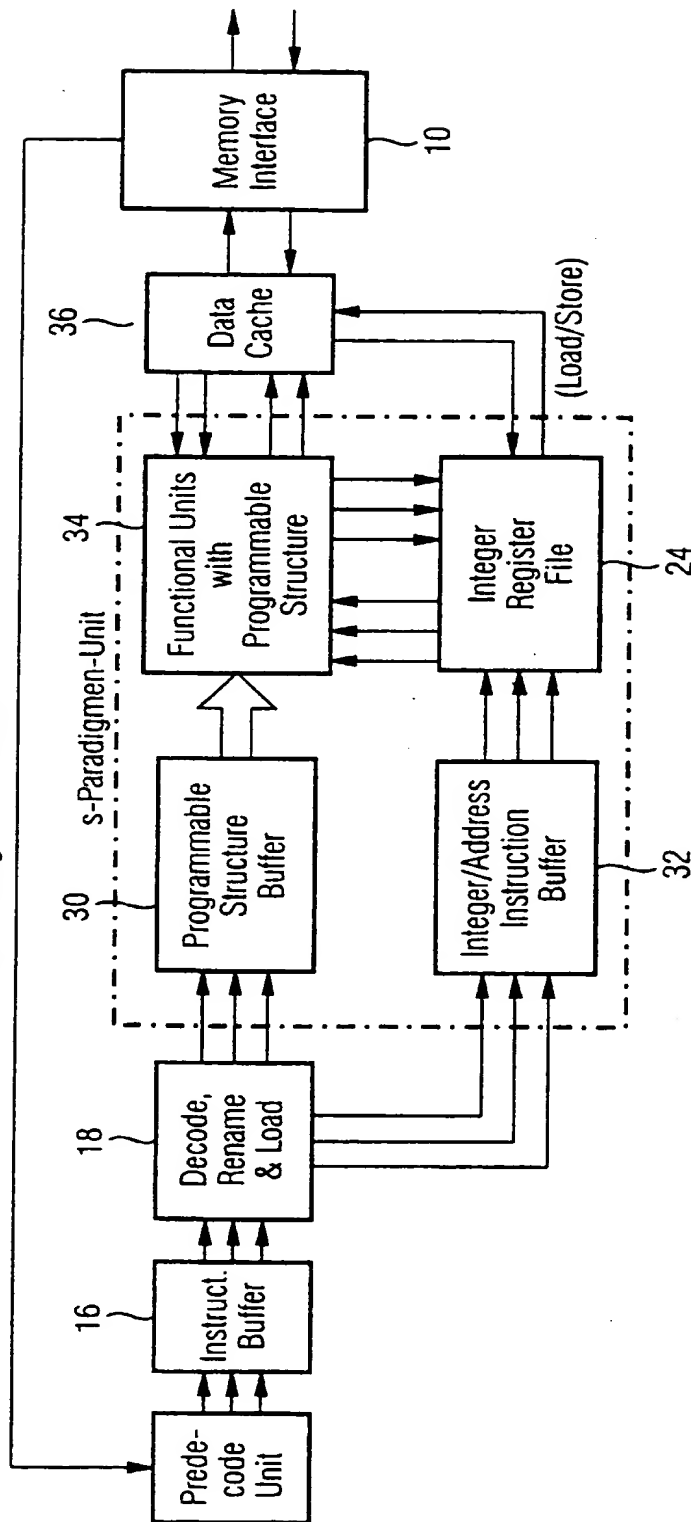
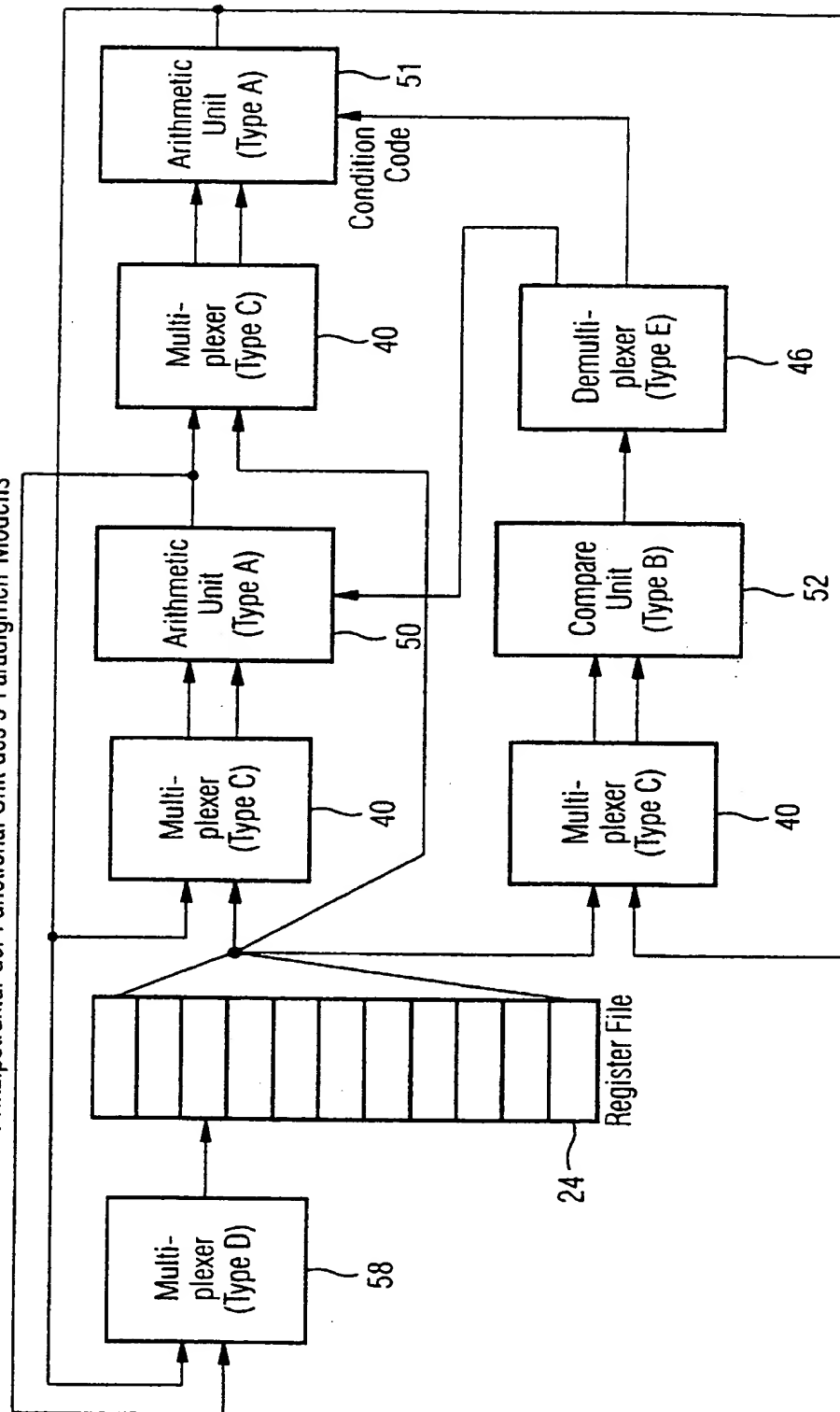


FIG 3

Prinzipstruktur der Functional Unit des s-Paradigmen-Modells



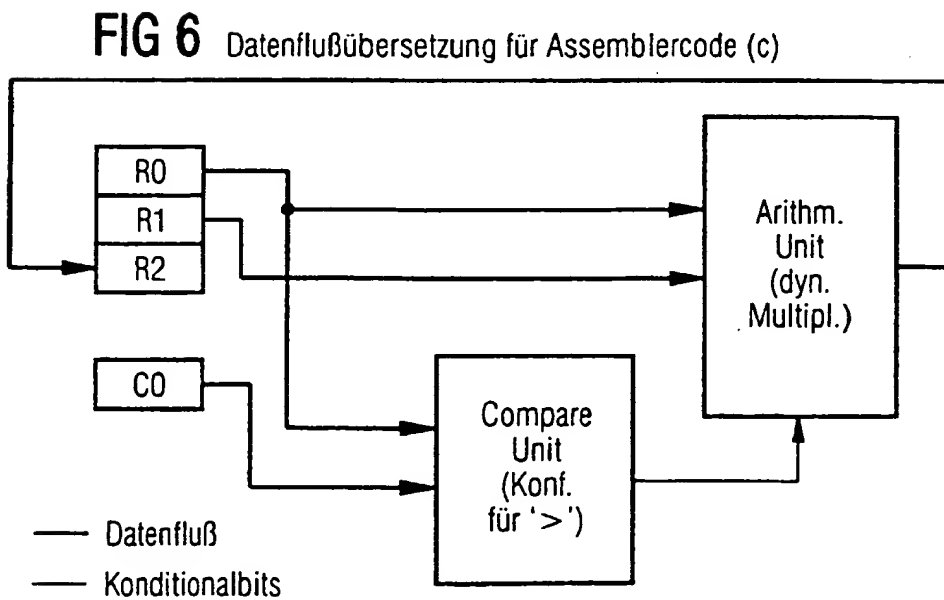
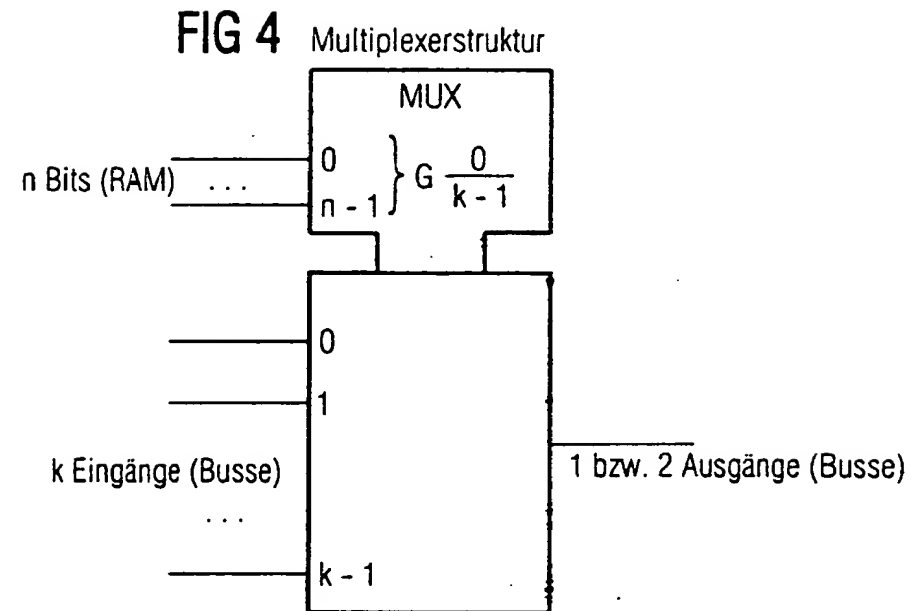


FIG 5

Vergleich von C-Code (a), Assemblercode mit Branch (b) und mit bedingten Befehlen (c)

int a, b;	mov r0, a;	mov r0, a;
if (a > 0)	mov r1, b;	mov r1, b;
b = a;	mov r2, 0;	pgt r0, 0, p1; Setzen von p1
else	cmp r0, 0; Vergleich	movp r2, r0, p1; Nur für a > 0!
b = 0;	ble L1 ; Bedingter Sprung	movp r2, 0, /p1; für a ≤ 0;
	mov r2, r0; Nur für a > 0!	mov b, r2;
	L1: mov b, r2;	
(a)	(b)	(c)

FIG 7

C-Sourcecode

```

int a [LIMIT], b[LIMIT];
int i, n;

...
for (i = 0; i < n; i++)
{
    if (a [i] != 0)
        b [i] = b [i] + b [i + 1];
    else
        b [i] = 0;
}

```

FIG 8

Assemblercode
(1. Optimierung)

Registerinhalte:

$r0 = \&b[1]$
 $r1 = a[i]$
 $r2 = i * 4$
 $r3 = b[i]$
 $r4 = b[i+1]$
 $r5 = b[i] + b[i+1]$
 $r6 = n * 4$

Label	Nr.	Instruction	Zyklus
L0 :		mov r2, 0	
		mul r6, n, 4	
		add r0, b, 4	
L1 :	1	ld r1, mem (a + r2)	0
	2	beq r1, 0, L3	2
L2 :	3	ld r3, mem (b + r2)	2
	4	ld r4, mem (r0 + r2)	2
	5	add r5, r4, r3	4
	6	st mem (b + r2), r5	5
	7	jmp L4	5
L3 :	8	st mem (b + r2), 0	
L4 :	9	add r2, r2, 4	5
	10	blt r2, r6, L1	6

FIG 9

Kontrollflußgraph für Assemblierung
(1. Optimierung)

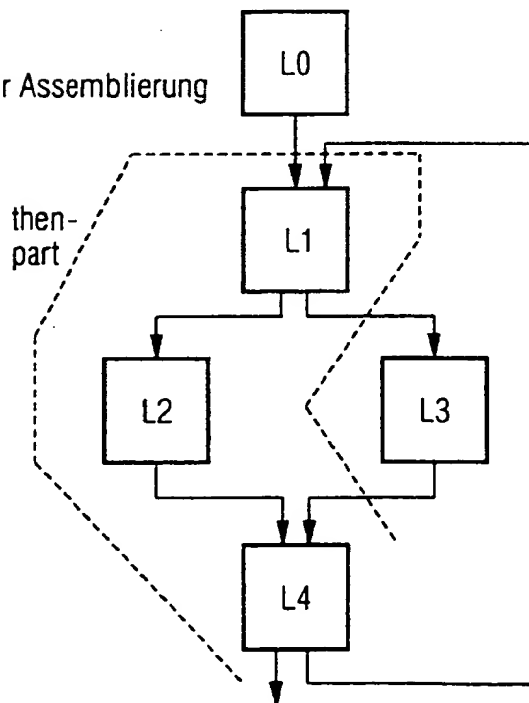


FIG 10Assemblercode
(2. Optimierung)

Label	Nr.	Instruction	Zyklus
L0 :		mov r2, 0	
		mul r6, n, 4	
		add r0, b, 4	
L1 :	1	ld r1, mem (a + r2)	0
	3	ld r3, mem (b + r2)	0
	4	ld r4, mem (r0 + r2)	0
	5	add r5, r4, r3	2
	2	pne p1, r1, 0	2
	6	stp mem (b + r2), r5 (p1)	3
	8	stp mem (b + r2), 0 (/p1)	3
	9	add r2, r2, 4	3
	10	blt r2, r6, L1	4

FIG 12Assemblercode
(3. Optimierung)

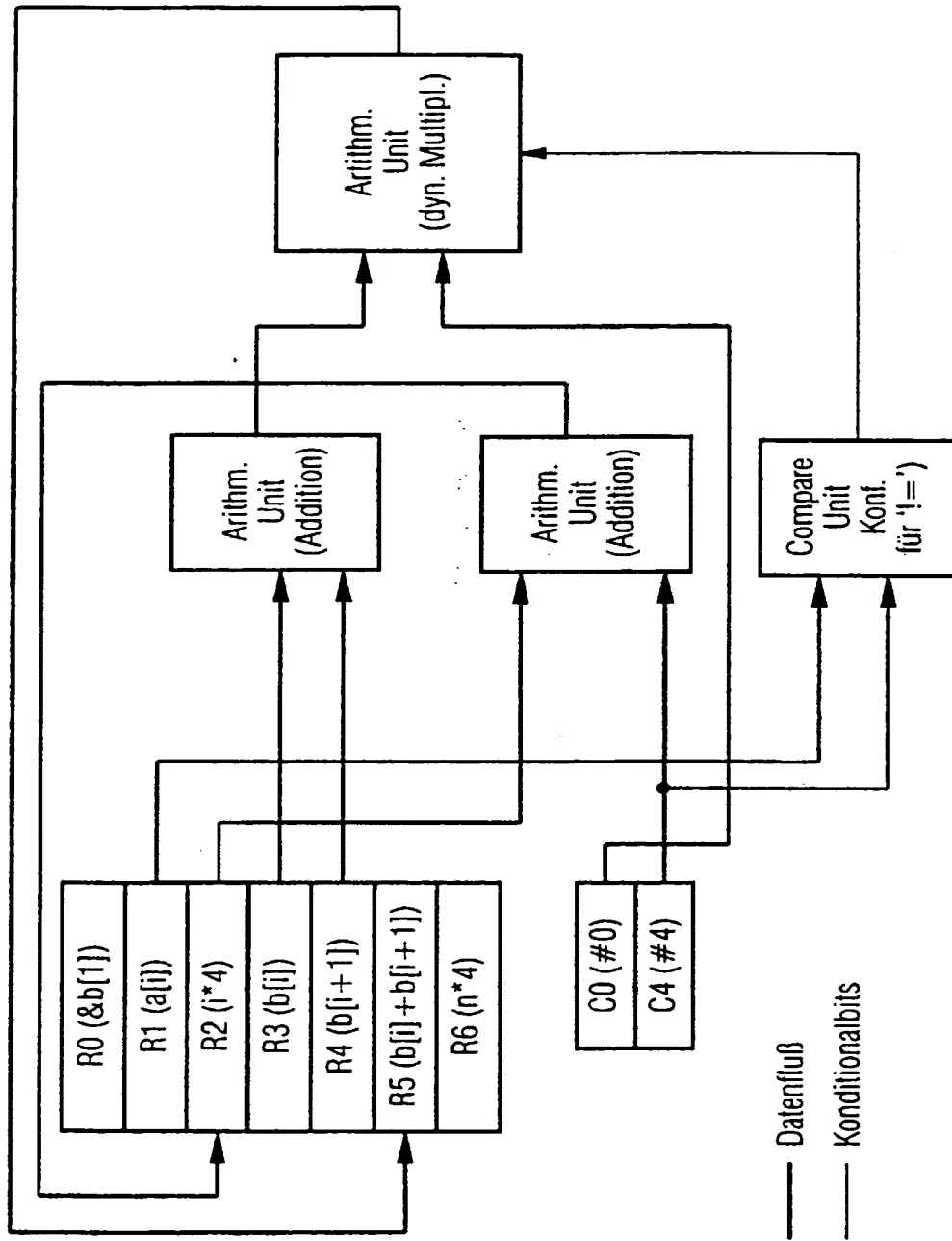
Label	Nr.	Instruction	Zyklus
L0 :		mov r2, 0	
		mov r7, 4	
		mul r6, n, 4	
		add r0, b, 4	
L1 :	1	ld r1, mem (a+r2)	0
	21	ld r, mem (a+r7)	0
	3	ld r3, mem (b+r2)	0
	4	ld r4, mem (r0+r2)	0
	24	ld r9, mem (r0+r7)	0
	5	add r5, r4, r3	2
	25	add r10, r9, r4	2
	2	pne p1, r1, 0	2
	2	pne p2, r8, 0	2
	6	stp mem (b+r2), r5 (p1)	3
	26	stp mem (b+r7), r10 (p2)	3
	8	stp mem (b+r2), 0 (/p1)	3
	28	stp mem (b+r7), 0 (/p2)	3
	9	add r2, r7, 4	3
	10	bge r7, r6, L100	3
	29	add r7, r2, 4	3
	10	blt r2, r6, L1	4

L100 :

Registerinhalte:

$r0 = \&b[1]$
 $r1 = a[i]$
 $r2 = i * 4$
 $r3 = b[i]$
 $r4 = b[i+1]$
 $r5 = b[i] + b[i+1]$
 $r6 = n * 4$
 $r7 = [i+1]*4$
 $r8 = a[i+1]$
 $r9 = b[i+2]$
 $r10 = b[i+1] + b[i+2]$

FIG 11 Datenflußübersetzung für Assemblercode (Abb. 10)





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 97 11 4501

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int.Cl.8)
X	EP 0 417 861 A (N.V. PHILIPS' GLOEILAMPENFABRIEKEN) * Seite 4, Zeile 11 - Zeile 57 * * Seite 7, Zeile 6 - Zeile 54 * * Seite 8, Zeile 36 - Zeile 45 *	1-4	G06F15/78 G06F9/38
P,X	DE 196 14 991 A (RICOH CO., LTD.) * Seite 4, Zeile 45 - Seite 7, Zeile 43 * * Seite 8, Zeile 25 - Seite 12, Zeile 48; Abbildungen 1-4 *	1-4	
A	FUJITSU SCIENTIFIC & TECHNICAL JOURNAL, Bd. 31, Nr. 2, Dezember 1995, KAWASAKI, JP, Seiten 152-160, XP000555986 SHINTARO SHIMOGORI ET AL: "TP5000: Reconfigurable Hardware Accelerator for CAD Applications" * das ganze Dokument *	1-4	
D,A	US 5 361 373 A (K. L. GILSON) * das ganze Dokument *	1-4	RECHERCHIERTE BACHGEBIETE (Int.Cl.8)
D,A	PROCEEDINGS OF THE IEEE, Bd. 83, Nr. 12, Dezember 1995, NEW YORK, US, Seiten 1609-1624, XP000550378 J. E. SMITH ET AL: "The Microarchitecture of Superscalar Processors" * das ganze Dokument *	1-4	G06F
A	ELECTRONIQUE, Nr. 55, Januar 1996, PARIS, FR, Seiten 98-103, XP000551946 G. LECURIEUX-LAFAYETTE: "UN SEUL FPGA DOPE LE TRAITEMENT D'IMAGES" * das ganze Dokument *	1-4	
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort BERLIN		Abschlußdatum der Recherche 17. November 1997	Prüfer Abram, R
KATEGORIE DER GENANNTE DOKUMENTE X: von besonderer Bedeutung allein betrachtet Y: von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A: technologischer Hintergrund O: nichtschriftliche Offenbarung P: Zwischenliteratur		T: der Erfindung zugrunde liegende Theorien oder Grundsätze E: älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D: in der Anmeldung angeführtes Dokument L: aus anderen Gründen angeführtes Dokument B: Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

EPO FORM 1503 03.02 (94/C50)

Docket # GR 98 P 8107

Applic. # 09/816,926

Applicant: Arnold et al.